

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2006/303330

International filing date: 23 February 2006 (23.02.2006)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-050962
Filing date: 25 February 2005 (25.02.2005)

Date of receipt at the International Bureau: 27 April 2006 (27.04.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 5 年 2 月 2 5 日

出 願 番 号

Application Number:

特 願 2 0 0 5 - 0 5 0 9 6 2

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 5 - 0 5 0 9 6 2

出 願 人

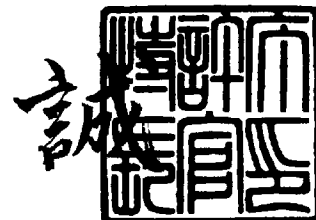
Applicant(s):

ソニー株式会社

2 0 0 6 年 4 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	0590039301
【提出日】	平成17年 2月25日
【あて先】	特許庁長官殿
【国際特許分類】	G01C 19/56
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
【氏名】	渡邊 成人
【発明者】	
【住所又は居所】	宮城県登米郡中田町宝江新井田字加賀野境 3 0 番地 ソニー宮城株式会社内
【氏名】	佐々木 伸
【特許出願人】	
【識別番号】	000002185
【氏名又は名称】	ソニー株式会社
【代理人】	
【識別番号】	100067736
【弁理士】	
【氏名又は名称】	小池 晃
【選任した代理人】	
【識別番号】	100086335
【弁理士】	
【氏名又は名称】	田村 榮一
【選任した代理人】	
【識別番号】	100096677
【弁理士】	
【氏名又は名称】	伊賀 誠司
【手数料の表示】	
【予納台帳番号】	019530
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9707387

【書類名】 特許請求の範囲

【請求項 1】

回路素子が実装されるとともに複数個の端子部を有する配線パターンが形成された支持基板と、

複数の接続端子部が設けられた第 1 主面を上記支持基板の主面と対向して実装面として構成した基部と、この基部の外周部に片持ち梁状に一体に突設されるとともに上記基部の第 1 主面と同一面を構成する主面上に上記各接続端子部と接続される長さ方向の第 1 電極層と第 2 電極層及び検出電極とを圧電薄膜層を介して積層形成した振動子部とからなる振動素子と、

上記振動素子の少なくとも上記各接続端子部に設けられ、上記支持基板の相対する端子部と接合されることにより上記振動素子を上記支持基板に実装させる複数個の金属バンプとを備え、

上記支持基板と上記振動素子の上記振動子部との間に構成されて上記振動子部を厚み方向に自由振動させる空間部が、振動動作によって生じる空気流のダンピング効果に対して上記振動子部の変位減衰割合を所期値に保持する高さを以って構成されることを特徴とする振動型ジャイロセンサ。

【請求項 2】

上記支持基板の少なくとも上記振動素子の上記振動子部と対向する領域に段差が形成され、この段差によって上記高さを保持された上記空間部が構成されることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

【請求項 3】

上記支持基板の上記振動素子の上記振動子部と対向する領域に上記振動子部の平面外形寸法よりも大きな開口寸法を有する凹部又は開口部が形成され、この凹部又は開口部によって上記空間部が構成されることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

【請求項 4】

上記各金属バンプが、上記各接続端子部に対して少なくとも 2 段階金属めっき処理が施されて上記空間部を構成する所定の高さを有して形成されることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

【書類名】 明細書

【発明の名称】 振動型ジャイロセンサ

【技術分野】

【0001】

本発明は、片持ち梁の振動素子を備える振動型ジャイロセンサに関する。

【背景技術】

【0002】

ジャイロセンサは、例えば高ズーム率化や小型化に伴って録画画像に手振れ現象が生じやすくなるようになったビデオカメラ等に搭載されてCCD (Charge-Coupled Device) 等の撮像基板上の画像情報の取り込み位置を制御する制御信号を出力する手振れ補正機構に用いられる。また、ジャイロセンサは、バーチャルリアリティ装置に用いられて動作検知器を構成したり、カーナビゲーション装置に用いられて方向検知器を構成する。

【0003】

ビデオカメラの手振れ補正機構は、録画画像の時間軸での位置ズレ自体のマッチングを行って補正を行うように構成したものも提供されているが、一般的にビデオカメラの保持状態の回転角を検出して対応する角速度を出力するジャイロセンサを用いて実際の手振れ量を補正するように構成したものが用いられている。ジャイロセンサには、検出機構として回転体や光学手段が用いられたり、振動素子が用いられている。

【0004】

振動型ジャイロセンサは、シリコン材の主面上に圧電薄膜層を挟んで一対の電極層を積層形成した片持ち梁の振動子部を有する振動素子を備える（例えば、特許文献1参照）。振動型ジャイロセンサは、振動子部を所定の共振周波数で振動させておき、角速度の変化によって生じるコリオリ力を圧電素子と検出電極とによって検出することで振動等による角速度の変化を検出する。振動型ジャイロセンサは、簡易な構造や短時間で起動することによる高応答性或いは小型で安価である等の特徴を有している。

【0005】

【特許文献1】 特開平7-113643号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、振動型ジャイロセンサにおいては、搭載機器の小型軽量化、多機能高性能化に伴って、さらなる小型化や高性能化が要求されている。振動型ジャイロセンサにおいては、例えば各種センサと組み合わせて多機能化が図られているが、各種センサとともに1個の支持基板に搭載することによって全体として小型化が図られている。しかしながら、振動型ジャイロセンサにおいては、振動素子の各電極と支持基板側の端子部とが一般にワイヤボンディング法によって接続されており、振動素子の周囲にワイヤを引き回すためのスペースが必要となって小型化に限界があった。

【0007】

振動型ジャイロセンサにおいては、小型化に伴って外部の振動等の影響を大きく受けるようになり振動素子の支持構造等が複雑となるためにコストがアップするといった問題が生じる。振動型ジャイロセンサにおいては、設置の状態が機器の仕様によって決定されることから、あらゆる状態で用いられる場合でも所定の特性が安定して得られように構成されなければならない。振動型ジャイロセンサにおいては、高感度で安定した特性を得るために、振動素子の共振状態を定義する機械品質係数Q値 (Q factor) を高くする必要がある。機械品質係数Q値は、振動素子の材料や固定構造によって決定される。

【0008】

ところで、振動型ジャイロセンサにおいては、各電極の端子部を形成した基部と、この基部から片持ち梁状に一体に形成されるとともに圧電薄膜層を挟んで電極層を積層形成した振動子部とによって構成された振動素子を備えたものが提供されている。かかる片持ち梁振動型ジャイロセンサは、振動素子が基部の各電極にそれぞれ設けた金属パンプを介し

て支持基板に対して表面実装されることで実装工程の簡易化や小型化が図られる。

【０００９】

振動型ジャイロセンサにおいては、上述したように基部を支持基板の主面上に固定される振動素子が、振動子部を支持基板の主面と対向される。振動型ジャイロセンサにおいては、支持基板と振動素子の振動子部との間に、振動子部を厚み方向に自由振動させる空間部が構成される。振動型ジャイロセンサにおいては、振動子部の振動動作によって生じる空気流が支持基板の主面で反射して振動子部に作用するいわゆるダンピング効果の影響によってＱ値低下して特性が劣化する。

【００１０】

振動型ジャイロセンサにおいては、さらなる小型化、薄型化に伴って振動素子の振動子部と支持基板の主面との間隔も狭くなることで、振動子部に対するダンピング効果の影響もさらに大きくなって特性が低下するといった問題があった。

【００１１】

したがって、本発明は、簡易な構成によって所定のＱ値を保持して小型・薄型化を図る振動型ジャイロセンサを提供することを目的とする。

【課題を解決するための手段】

【００１２】

上述した目的を達成する本発明にかかる振動型ジャイロセンサは、回路素子が実装されるとともに複数個の端子部を有する配線パターンが形成された支持基板に、金属バンプを介して振動素子を実装する。振動型ジャイロセンサは、振動素子が、複数の接続端子部が設けられた第１主面を支持基板の主面と対向して実装面として構成した基部と、この基部の外周部に片持ち梁状に一体に突設されるとともに基部の第１主面と同一面を構成する主面上に各接続端子部と接続される長さ方向の第１電極層と第２電極層及び検出電極とを圧電薄膜層を介して積層形成した振動子部とを有して形成される。振動型ジャイロセンサは、金属バンプが、振動素子の少なくとも各接続端子部に設けられ、支持基板の相対する端子部と接合されることにより振動素子を支持基板に実装させる。

【００１３】

振動型ジャイロセンサにおいては、各金属凸部を相対する端子部に対して接合することによって、振動素子が支持基板に対して各電極との電氣的接続が行われるとともに機械的に固定されることで実装スペースの効率化と実装工程の効率化が図られるようになる。振動型ジャイロセンサにおいては、支持基板側から振動素子に対して所定周波数の交流電界を印加することによって振動子部に固有振動を生じさせる。振動型ジャイロセンサにおいては、手振れ等によりコリオリ力が生じて振動子部が変位し、この変位を検出して検出電極から検出信号を出力する。振動型ジャイロセンサにおいては、支持基板と振動素子の振動子部との間に構成されて振動子部を厚み方向に自由振動させる空間部が、振動動作によって生じる空気流のダンピング効果に対して振動子部の変位減衰割合を所期値に保持する高さを以って構成されることから、振動子部の変位減衰割合が低減されて高Ｑ値を得る。

【発明の効果】

【００１４】

本発明にかかる振動型ジャイロセンサによれば、振動素子が支持基板に対して、その主面と振動子部との間に振動子部の振動動作に伴うダンピング効果の影響を低減する空間部を保持して実装されることで、簡易な構成によって小型・薄型化が図られるとともに高Ｑ値化が保持されて高感度で安定した特性を得ることが可能となる。

【発明を実施するための最良の形態】

【００１５】

以下、本発明の実施の形態として図面に示した振動型ジャイロセンサ１について、詳細に説明する。振動型ジャイロセンサ１は、図１に示すように支持基板２と、この支持基板２の主面２－１を閉塞して組み付けられるカバー部材３とによって外観部材を構成し、例えばビデオカメラに搭載されて手振れ補正機構を構成する。また、振動型ジャイロセンサ１は、例えばバーチャルリアリティ装置に用いられて動作検知器を構成し、或いはカーナ

ビゲーション装置に用いられて方向検知器を構成する。

【0016】

振動型ジャイロセンサ1は、支持基板2に例えばセラミック基板やガラス基板等が用いられ、主面2-1上に詳細を省略するが多数個のランド4を有する所定の配線パターン5が形成されている。支持基板2には、各ランド4に接続されて主面2-1上に詳細を後述する一対の振動素子20A、20B（以下、個別に説明する場合を除いて振動素子20と総称する。）と、IC回路素子6或いは外付け用の多数個のセラミックコンデンサや適宜の電子部品7が搭載されている。

【0017】

振動型ジャイロセンサ1は、振動素子20が、詳細を後述するようにシリコン単結晶基板21（以下、シリコン基板21と略称する。）をベースにして形成され、支持基板2の主面2-1上に互いに90°ずれた状態で搭載される。振動素子20は、詳細を後述するが、図2及び図3に示すようにやや厚みのある矩形状に形成された基部22と、この基部22の一側部から一体に突設された振動子部23とから構成される。

【0018】

振動素子20は、後述するようにシリコン基板21の第2主面によって構成される基部22の第2主面22-2が支持基板2に対する実装面を構成する。振動素子20には、基部22の第2主面22-2上に第1端子部24A乃至第4端子部24D（以下、個別に説明する場合を除いて端子部24と総称する。）が形成されるとともに、これら端子部24上にそれぞれ第1金バンプ25A乃至第4金バンプ25D（以下、個別に説明する場合を除いて金バンプ25と総称する。）が形成されている。

【0019】

振動素子20は、端子部24がそれぞれ支持基板2側の配線パターン5に形成したランド4に対応して形成されており、詳細を後述するように相対する端子部24とランド4とを位置合わせして支持基板2に組み合わされる。振動素子20は、この状態で支持基板2に押し当てながら金バンプ25に超音波を印加して溶着処理を施すことによって、支持基板2上に実装される。振動素子20は、所定の高さを有する金バンプ25を介して実装することによって、振動子部23がその第2主面23-2を支持基板2の主面2-1に対して所定の高さ位置に保持される。

【0020】

振動素子20は、振動子部23が、シリコン基板21の第2主面によって構成される第2主面23-2を基部22の第2主面22-2と同一面を構成し、一端部を基部22に一体化されて片持ち梁状に突設されている。振動素子20は、振動子部23が、第1主面23-1側をシリコン基板21の第1主面によって構成される基部22の第1主面22-1から段落ちされることによって所定の厚みとされる。振動素子20は、振動子部23が、所定の長さで断面面積を有して基部22と一体に形成された矩形の片持ち梁によって構成される。

【0021】

振動子部23には、第2主面23-2上に、長さ方向の略全長に亘って基準電極層（第1電極層）26が形成されるとともに、この基準電極層26上にほぼ同長の圧電薄膜層27が積層形成される。振動子部23には、圧電薄膜層27上にほぼ同長でかつ幅狭の駆動電極層（第2電極層）28が幅方向の中央部に位置して積層形成されるとともに、この駆動電極層28を挟んで圧電薄膜層27上に一対の検出電極29R、29L（以下、個別に説明する場合を除いて検出電極29と総称する。）が積層形成されている。

【0022】

振動素子20は、図3に示すように基準電極層26が、その基端部からリード26-1を基部22の第2主面22-2上に延長して第2端子部24Bと一体化されている。振動素子20は、同様にして駆動電極層28が、リード28-1を介して第3端子部24Cと一体化されている。さらに、振動素子20は、同様にして第1検出電極29Rがリード29R-1を介して第1端子部24Aと一体化されるとともに、第2検出電極29Lがリー

ド 2 9 L-1 を介して第 4 端子部 2 4 D と一体化されている。

【0023】

なお、振動素子 2 0 は、上述したように基部 2 2 の第 2 主面 2 2-2 上に、ほぼ四隅に位置して第 1 端子部 2 4 A 乃至第 4 端子部 2 4 D を配置するようにしたが、かかる構成に限定されるものではない。振動素子 2 0 は、端子部 2 4 が、各電極層からのリードの引き回しや支持基板 2 に対する固定数或いは大きさ等によって適宜の位置や個数を以って基部 2 2 に形成される。振動素子 2 0 は、各端子部 2 4 に対してそれぞれ金バンプ 2 5 を形成したが、図 3 に鎖線で示すように基部 2 2 の第 2 主面 2 2-2 上に電氣的接続を行わないいわゆるダミーの第 5 金バンプ 2 5 E を形成するようにしてもよい。勿論、支持基板 2 側には、この第 5 金バンプ 2 5 E が溶着固定されるダミー端子部が形成される。

【0024】

振動型ジャイロセンサ 1 は、上述したように支持基板 2 の主面 2-1 上に第 1 振動素子 2 0 A と第 2 振動素子 2 0 B とを実装する。振動型ジャイロセンサ 1 は、第 1 振動素子 2 0 A が支持基板 2 に対して、図 1 に示すように支持基板 2 の一方コーナ部 2 C-1 において基部 2 2 を固定するとともに振動子部 2 3 を長さ方向の一方側縁に沿って延在させて主面 2-1 上に実装される。振動型ジャイロセンサ 1 は、第 2 振動素子 2 0 B が支持基板 2 に対して、コーナ部 2 C-1 と対角位置のコーナ部 2 C-2 において基部 2 2 を固定するとともに振動子部 2 3 を幅方向の一方側縁に沿って延在させて主面 2-1 上に実装される。

【0025】

振動型ジャイロセンサ 1 においては、振動素子 2 0 が、上述したように基部 2 2 の第 2 主面 2 2-2 と振動子部 2 3 の第 2 主面 2 3-2 とが同一面を構成するとともに所定の高さを有する金バンプ 2 5 を介して基部 2 2 が支持基板 2 の主面 2-1 に固定される。振動型ジャイロセンサ 1 においては、図 2 に示すように振動子部 2 3 の第 2 主面 2 3-2 と支持基板 2 の主面 2-1 との間に金バンプ 2 5 の高さ寸法 h に対応する振動空間部 1 6 が構成される。

【0026】

支持基板 2 には、図 2 及び図 3 に示すように、実装した振動素子 2 0 の振動子部 2 3 と対向して主面 2-1 に空間構成凹部 1 7 A、1 7 B（以下、個別に説明する場合を除いて空間構成凹部 1 7 と総称する。）が形成されている。空間構成凹部 1 7 は、支持基板 2 に対して例えばエッチング加工や溝切り加工等を施して、振動子部 2 3 の平面外形の寸法よりも大きな開口寸法を有する深さ寸法 i の矩形凹部として形成される。

【0027】

振動型ジャイロセンサ 1 においては、上述したように支持基板 2 の主面 2-1 と振動素子 2 0 の振動子部 2 3 との間に振動空間部 1 6 を構成するが、この振動空間部 1 6 が金バンプ 2 5 の高さに規定されずに空間構成凹部 1 7 の底面 1 7-1 と振動子部 2 3 の第 2 主面 2 3-2 との間に高さ k（ $k = h + i$ ）を以って構成されることになる。振動型ジャイロセンサ 1 においては、高さ k の振動空間部 1 6 が後述するように振動子部 2 3 に対して作用するダンピング効果を抑制するに足る高さを有する空間部を構成することで、振動子部 2 3 の変位減衰割合を所期値に保持して高 Q 値を得ることを可能とする。

【0028】

振動型ジャイロセンサ 1 は、後述するように振動素子 2 0 によって検出したビデオカメラの手振れによる振動状態に基づく制御信号を出力して手振れ補正機構を構成する。振動型ジャイロセンサ 1 は、振動素子 2 0 と接続された IC 回路素子 6 や電子部品 7 等によって構成された例えば図 4 に示す駆動検出回路部 8 を備えている。振動型ジャイロセンサ 1 は、駆動検出回路部 8 が、インピーダンス変換回路 9 と、加算回路 1 0 と、発振回路 1 1 と、差動増幅回路 1 2 と、同期検波回路部 1 3 と、直流増幅回路 1 4 等を備えている。

【0029】

駆動検出回路部 8 は、図 4 に示すように、振動素子 2 0 の第 1 検出電極 2 9 R に対してインピーダンス変換回路 9 と差動増幅回路 1 2 とが接続される。駆動検出回路部 8 は、イ

インピーダンス変換回路 9 に加算回路 10 が接続され、この加算回路 10 に接続された発振回路 11 が第 2 検出電極 29 L と接続される。駆動検出回路部 8 は、差動増幅回路 12 と発振回路 11 とに同期検波回路部 13 が接続され、この同期検波回路部 13 に直流増幅回路 14 が接続される。なお、振動素子 20 の基準電極層 26 は、支持基板 2 側の基準電位 15 と接続される。

【0030】

駆動検出回路部 8 は、振動素子 20 とインピーダンス変換回路 9 と加算回路 10 と発振回路 11 とによって自励発振回路を構成し、発振回路 11 から振動子部 23 に対して所定周波数の発振出力 V_{g0} を印加することによって固有振動を生じさせる。駆動検出回路部 8 は、振動素子 20 の第 1 検出電極 29 R からの出力 V_{gr} と第 2 検出電極 29 L からの出力 V_{gl} とがインピーダンス変換回路 9 に供給され、これらの入力に基づいてインピーダンス変換回路 9 から加算回路 10 に対してそれぞれ出力 V_{zr} と V_{zl} とを出力する。駆動検出回路部 8 は、これらの入力に基づいて加算回路 10 から発振回路 11 に対して加算出力 V_{sa} が帰還される。

【0031】

駆動検出回路部 8 は、振動素子 20 の第 1 検出電極 29 R からの出力 V_{gr} と第 2 検出電極 29 L からの出力 V_{gl} とが差動増幅回路 12 に供給される。駆動検出回路部 8 は、後述するように振動素子 20 が手振れを検出した状態でこれら出力 V_{gr} と出力 V_{gl} とに差異が生じることから、差動増幅回路 12 によって所定の出力 V_{da} を得る。駆動検出回路部 8 は、差動増幅回路 12 からの出力 V_{da} が同期検波回路部 13 に供給される。駆動検出回路部 8 は、同期検波回路部 13 において出力 V_{da} を同期検波することで直流信号 V_{sd} に変換して直流増幅器 14 に供給し、所定の直流増幅を行った直流信号 V_{sd} を出力する。

【0032】

駆動検出回路部 8 は、同期検波回路部 13 が、差動増幅回路 12 の出力 V_{da} を、発振回路 11 が駆動信号に同期して出力するクロック信号 V_{ck} のタイミングで全波整流した後で積分して直流信号 V_{sd} を得る。駆動検出回路部 8 は、上述したようにこの直流信号 V_{sd} を直流増幅器 14 において増幅して、手振れにより生じる角速度変化を検出して検出信号を検出する。

【0033】

駆動検出回路部 8 は、インピーダンス変換回路 9 がハイ・インピーダンス入力 $z2$ の状態でロー・インピーダンス出力 $z3$ を得るようになっており、第 1 検出電極 29 R と第 2 検出電極 29 L 間のインピーダンス $z1$ と加算回路 10 の入力間のインピーダンス $z4$ を分離する作用を奏する。駆動検出回路部 8 においては、インピーダンス変換回路 9 を設けることによってこれら第 1 検出電極 29 R と第 2 検出電極 29 L とから大きな出力差異を得ることが可能となる。

【0034】

駆動検出回路部 8 においては、インピーダンス変換回路 9 が入力と出力とのインピーダンス変換機能を奏し信号の大きさに影響を与えることは無い。したがって、駆動検出回路部 8 においては、第 1 検知電極 29 R からの出力 V_{gr} とインピーダンス変換回路 9 の一方側の出力 V_{zr} 及び第 2 検知電極 29 L からの出力 V_{gl} とインピーダンス変換回路 9 の他方側の出力 V_{zl} とがそれぞれ同一の大きさである。駆動検出回路部 8 においては、振動素子 20 によって手振れ検出が行われて第 1 検知電極 29 R からの出力 V_{gr} と第 2 検知電極 29 L からの出力 V_{gl} とに差があっても、加算回路 10 からの出力 V_{sa} に保持される。駆動検出回路部 8 においては、例えばスイッチング動作等によってノイズが重畳されることがあっても、発振回路の出力 V_{g0} に重畳されたノイズ成分が振動素子 20 におけるバンドフィルタと同等の働きによって共振周波数以外の成分が除去されることで差動増幅回路 12 からノイズ成分が除去された出力 V_{da} を得る。

【0035】

振動素子 20 は、例えば主面の方位面が (100) 面、側面の方位面が (110) 面と

なるように切り出されたシリコン基板 2 1 をベースにして多数個が一括して形成された後に、切断工程を経て 1 個ずつに切り分けられる。シリコン基板 2 1 には、熱酸化処理が施されて、図 5 に示すよう表裏主面上にそれぞれシリコン酸化膜（ SiO_2 膜）3 0 A、3 0 B が全面に亘って形成されている。シリコン酸化膜 3 0 A、3 0 B は、シリコン基板 2 1 に結晶異方性エッチング処理を施す際に保護膜として機能する。

【0 0 3 6】

振動素子製造工程は、詳細を省略するが、シリコン基板 2 1 の第 1 主面に形成したシリコン酸化膜 3 0 A に対して、各振動素子 2 0 の形成領域に対応した振動素子形成部位を除去して開口部を形成する工程が施される。振動素子製造工程は、シリコン基板 2 1 のシリコン酸化膜 3 0 A 上に例えば感光性フォトレジスト材によってフォトレジスト層を全面に亘って形成する。振動素子製造工程は、フォトレジスト層に対して各振動素子形成部位を開口部としたマスキングを行った状態で、フォトレジスト層に対して露光、現像処理を施す。振動素子製造工程は、これらの工程を経て、振動素子形成部位に対応したフォトレジスト層を除去してシリコン酸化膜 3 0 A を外方に臨ませる開口部を形成する。

【0 0 3 7】

振動素子製造工程は、開口部に臨ませられたシリコン酸化膜 3 0 A を除去する第 1 エッチング処理を施した後に、シリコン基板 2 1 に対して振動素子 2 0 の振動子部 2 3 に対応する部位を形成する第 2 エッチング処理が施される。第 1 エッチング処理は、シリコン基板 2 1 の界面の平滑性を保持するために、シリコン酸化膜 3 0 A のみを除去する湿式エッチング法を採用するが、この方法に限定されるものではなく例えばイオンエッチング法等の適宜のエッチング処理であってもよい。第 1 エッチング処理には、エッチング液として例えばフッ化アンモニウム溶液を用いて、フォトレジスト層の開口部に臨ませられたシリコン酸化膜 3 0 A を除去して開口部を形成することによりシリコン基板 2 1 の第 1 主面を外方に臨ませる。

【0 0 3 8】

第 2 エッチング処理は、シリコン酸化膜 3 0 A の開口部から外方に臨ませられたシリコン基板 2 1 を振動子部 2 3 の厚みまでエッチングする工程であり、シリコン基板 2 1 の結晶方向にエッチング速度が依存する性質を利用した結晶異方性の湿式エッチングが施される。第 2 エッチング処理は、エッチング液として例えば TMAH（水酸化テトラメチルアンモニウム）や KOH（水酸化カリウム）或いは EDP（エチレンジアミン—ピロカテコール—水）溶液が用いられる。

【0 0 3 9】

第 2 エッチング処理は、シリコン基板 2 1 が第 1 主面に対して側面の対エッチング性が小さい特性によって、（1 0 0）面に対して約 55° の角度の面方位となる（1 1 0）面が出現し、シリコン基板 2 1 の第 1 主面所定の寸法形状を有する矩形凹部を形成する。振動素子製造工程は、第 1 主面に多数個の矩形凹部を形成した後に、シリコン基板 2 1 からエッチング処理が施されて残ったフォトレジスト層が除去される。

【0 0 4 0】

振動素子製造工程は、上述した工程を経て、シリコン基板 2 1 に矩形凹部の底面と第 2 主面との間に所定の厚みを有して振動子部 2 3 を構成する矩形の振動子構成部位を形成する。振動素子製造工程は、振動子構成部位の第 2 主面側を加工面として電極形成工程が施される。電極形成工程は、例えばマグネトロンスパッタ装置によって、第 2 主面上に、シリコン酸化膜 3 0 B を介して基準電極層 2 6 を構成する第 1 電極層と、圧電薄膜層 2 7 を構成する圧電膜層と、駆動電極層 2 8 及び検出電極 2 9 とを構成する第 2 電極層とを積層形成する。

【0 0 4 1】

圧電膜層形成工程は、第 1 電極層上に全面に亘って、例えばチタン酸ジルコン酸鉛（PZT）をスパッタリングして所定の厚みの圧電膜層を積層形成する。圧電膜層形成工程は、電気炉により圧電膜層を加熱することによって、結晶化熱処理を施す。第 2 電極層形成工程は、上述した圧電膜層 3 7 上に全面に亘って、プラチナをスパッタリングしてプラチ

ナ層を形成することによって第2電極層を積層形成する。

【0042】

振動素子製造工程は、上述した工程を経て最上層に形成された第2電極層に対してバターニング処理を施す第2電極層バターニング工程によって、所定形状の駆動電極層28と一对の検出電極29とを形成する。駆動電極層28は、上述したように振動子部23を駆動させる所定の駆動電圧が印加される電極であり、振動子部23の幅方向の中央領域に所定の幅を以って長さ方向のほぼ全域に亘って形成される。検出電極29は、振動子部23に発生したコリオリ力を検出する電極であり、駆動電極層28の両側に位置して長さ方向のほぼ全域に亘って互いに絶縁を保持されて平行に形成される。

【0043】

第2電極層バターニング工程は、第2電極層に対してフォトリソグラフ処理を施して駆動電極層28と検出電極29との対応部位にレジスト層を形成し、不要な部位の第2電極層を例えばイオンエッチング法等によって除去した後にレジスト層を洗浄する等の工程を経て、圧電膜層上に駆動電極層28と検出電極29とを形成する。振動素子製造工程は、上述した工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して駆動電極層28や検出電極29を形成するようにしてもよいことは勿論である。

【0044】

第2電極層バターニング工程においては、基部22の形成領域に第2電極層と一体に形成された導電層にも同様のバターニング処理を施すことによって、この基部22の形成部位上に第1検出電極29Rから所定の幅を以って一体に引き出されたリード29R-1とその先端部に一体化された第1端子部24Aを形成する。第2電極層バターニング工程においては、同様にして第2検出電極29Lから所定の幅を以って一体に引き出されたリード29L-1とその先端部に一体化された第4端子部24Dと、駆動電極層28から所定の幅を以って一体に引き出されたリード28-1とその先端部に一体化された第3端子部24Cとを形成する。

【0045】

振動素子製造工程は、圧電膜層に対して上述した駆動電極層28と検出電極29よりも大きな面積の部位を残してバターニング処理を施すことによって、圧電薄膜層27を形成する。圧電薄膜層27は、振動子部23に対して、その幅よりもやや小幅であり基端部から先端部の先端近傍位置に亘って形成される。圧電膜層バターニング工程は、圧電膜層に対してフォトリソグラフ処理を施して圧電薄膜層27の対応部位にレジスト層を形成し、不要な部位の圧電膜層を例えば湿式エッチング法等によって除去した後にレジスト層を洗浄する等の工程を経て、圧電薄膜層27を形成する。

【0046】

振動素子製造工程は、第1電極層に対してバターニング処理を施す第1電極層バターニング工程によって、基準電極層26を形成する。基準電極層26は、振動子部23の第2主面23-2上において、その幅よりもやや小幅で圧電薄膜層27よりも大きな幅を以って形成される。第1電極層バターニング工程においては、圧電膜層バターニング工程で基部22の形成部位を被覆していた圧電膜層が除去されることによって露出された状態の第1電極層に対して同時にバターニング処理が施される。第1電極層バターニング工程は、基部22の形成部位上に基準電極層26から所定の幅を以って一体に引き出されたリード26-1とその先端部に一体化された第2端子部24Bを形成する。

【0047】

振動素子製造工程においては、上述したように振動素子20を支持基板2に表面実装することから、各端子部24上に金バンプ25が形成される。金バンプ形成工程は、上述した工程を経て端子部24が形成された基部22の第2主面22-2上に全面に亘ってめっきレジスト層31を形成し、このめっきレジスト層31に対してフォトリソグラフ処理を施すことによって、図5に示すように端子部24をそれぞれ外方に臨ませる開口部31-1を形成する。

【0048】

金バンプ形成工程は、開口部31-1から臨ませられた端子部24を電極として金めっき処理を施すことによって、図6に示すように端子部24と一体化された金バンプ25を形成する。金めっき処理は、例えばめっきレジスト層31から金めっき層を所定の高さまで成長させるリフトオフ法によって行うことで、高さhの金バンプ25が形成されるようにする。なお、金バンプ形成工程は、必要に応じて基部22上にいわゆるダミーバンプ25Eも同時に形成する。

【0049】

振動素子製造工程においては、振動子部23の外周部が垂直面を構成するようにシリコン基板21に対して例えば反応性イオンエッチング法による溝切り工程が施される。溝切り工程は、誘導結合型プラズマ(ICP: Inductively Coupled Plasma)を備えたエッチング装置が用いられ、エッチング工程と、エッチングした箇所に外周壁を保護するための保護膜形成工程とを繰り返すBosch(Bosch社)プロセスによる反応性イオンエッチング法が採用される。

【0050】

振動素子製造工程においては、上述した溝切り工程によってシリコン基板21を貫通するコ字状の溝が形成されることによって各振動素子20の振動子部23の外形が形作りされる。振動素子製造工程においては、例えばダイヤモンドカッタ等によって基部22の部位に切断加工が施されることによって各振動素子20の切り分けが行われる。切断工程については、ダイヤモンドカッタによって切断溝を形成した後に、シリコン基板21を折って切り分けが行われる。なお、切断工程は、砥石や研削によりシリコン基板21の面方位を利用して切断を行うようにしてもよい。

【0051】

以上の工程を経て製造された振動素子20は、基部22の第2主面22-2を実装面として、支持基板2の主面2-1上に表面実装される。振動素子20は、各端子部24に設けられた金バンプ25を支持基板2側の相対するランド4に位置合わせされる。振動素子20は、支持基板2に押圧した状態で超音波が印加された各金バンプ25が相対するランド4に溶着されることで支持基板2の主面2-1上に実装される。

【0052】

支持基板2には、主面2-1上にIC回路素子6や電子部品7を実装した後にカバー部材3が取り付けられて振動型ジャイロセンサ1を完成させる。なお、カバー部材3は、振動素子20等の実装部品を保護するとともに外部ノイズを遮断する機能も有することが好ましく、例えばSUS材によって形成される。

【0053】

振動型ジャイロセンサ1は、駆動電極層28に対して所定周波数の交流電圧が印加されると、振動素子20が個数の振動数を以って振動する。振動素子20は、振動子部23が厚み方向である縦方向に縦共振周波数で共振するとともに幅方向である横方向にも横共振周波数で共振する。振動型ジャイロセンサ1は、縦共振周波数と横共振周波数との差である離調度が小さいほど高感度特性を有する。振動型ジャイロセンサ1は、上述したように結晶異方性エッチング処理や反応性イオンエッチング処理を施して振動子部23の外周部を精度よく形成することで高離調度化が図られている。

【0054】

振動素子20は、支持基板2に対する固定方法や材料によってQ値が決定される。振動型ジャイロセンサ1においては、上述したように振動素子20の振動子部23に対向して支持基板2の主面2-1に空間構成凹部17を形成することによって、振動子部23と主面2-1との間に高さkの振動空間部16が構成される。振動型ジャイロセンサ1においては、上述したように振動素子20に駆動電圧が印加されることによって振動子部23が振動動作する。

【0055】

振動型ジャイロセンサ1においては、この振動素子20の縦方向と横方向との振動動作

によって、振動空間部 16 内に縦方向と横方向との空気流を生じさせる。縦方向の空気流は、空間構成凹部 17 の底面 17-1 に当たって反射して振動素子 20 の振動子部 23 側へと流れるようになる。縦方向の空気流は、振動素子 20 に対してその縦振動動作に抵抗するいわゆるダンピング効果を振動子部 23 に対して作用させる。

【0056】

振動型ジャイロセンサ 1 においては、振動子部 23 が、上述したように金バンプ 25 の高さ h と空間構成凹部 17 の深さ i とを加えた高さ k の振動空間部 16 において振動動作することで、ダンピング効果の影響を低減されて高 Q 値を以って振動する。したがって、振動型ジャイロセンサ 1 においては、高 Q 値化が保持された振動素子によって高感度で安定した手振れ検出が行われるようになる。

【0057】

振動型ジャイロセンサ 1 においては、例えば振動素子 20 が基部 22 の厚み寸法を 0.3 mm 、振動子部 23 の厚み寸法を 0.1 mm に形成し、支持基板 2 に開口寸法が $2.1\text{ mm} \times 0.32\text{ mm}$ であり深さ寸法 i を変化させた空間構成凹部 17 を形成した場合に、振動空間部 16 の高さ k の変化と振動子部 23 の変位減衰割合の変化とが図 7 に示す特性を得る。振動素子 20 は、同図から明らかなように振動空間部 16 の高さ k が 0.05 mm と極めて狭い場合に、振動子部 23 に対して大きなダンピング効果の影響が生じて変位減衰割合が 0.8 程度となる。振動素子 20 は、所定の Q 値が得られない状態となり、特性が低下する。

【0058】

振動素子 20 は、振動空間部 16 の高さ k が大きくなるにしたがって振動子部 23 に対するダンピング効果の影響が低減されることによって、振動子部 23 の変位減衰割合が次第に大きくなる。振動素子 20 は、振動空間部 16 の高さ k が 0.1 mm 程度までになると振動子部 23 に対してダンピング効果の影響がほとんど作用しない状態となり、所期の Q 値が得られるようになる。

【0059】

勿論、振動空間部 16 は、高さ k が振動素子 20 の最大振幅幅、すなわち振動子部 23 の先端部における最大変位量の $1/2$ よりも大きく、振動素子 20 を自由振動させることが条件である。振動空間部 16 は、上述した特性図から、振動子部 23 の最大振幅量を p とすると、 $k \geq p/2 + 0.05\text{ (mm)}$ の条件を満たす振動空間部 16 を構成することによって振動素子 20 が所期の Q 値によって駆動されることを可能とする。

【0060】

上述した実施の形態においては、支持基板 2 の主面 2-1 に深さ i の空間構成凹部 17 を形成することによって主面 2-1 と振動子部 23 の第 2 主面 23-2 との間に全体として高さ k の振動空間部 16 を構成するようにしたが、本発明はかかる構成に限定されるもので無い。振動型ジャイロセンサ 1 は、例えば空間構成凹部 17 を支持基板 2 を貫通する矩形溝によって構成してもよい。振動型ジャイロセンサ 1 は、かかる構成によって金バンプ 25 を一般的な大きさで形成することを可能とし、全体としてさらに薄型化が図られるようになる。

【0061】

振動型ジャイロセンサ 1 は、例えば図 8 に示すように、振動素子 20 の基部 22 に上述した高さ k の振動空間部 16 を構成するに足る金バンプ 40 を設けることによって振動素子 20 が所期の Q 値によって駆動されることが可能となる。金バンプ 40 は、上述した金バンプ形成工程によって形成された金バンプ 25 を電極として第 2 金バンプ 41 をリフトオフ法によって形成することで、全体として所望の高さ k に形成する。勿論、金バンプ 40 は、所望の高さ k に達するまでさらに多段の金めっき処理を施して形成するようにしてもよい。なお、金バンプ 25 は、一般的な半導体プロセスにおける端子間接続子として用いられているが、その他の適宜の金属バンプ或いは金属凸部によって接続構造を構成するようにしても良いことは勿論である。

【図面の簡単な説明】

【 0 0 6 2 】

【図 1】 実施の形態として示す振動型ジャイロセンサをカバー部材を省略して示した要部斜視図である。

【図 2】 振動型ジャイロセンサの要部断面図である。

【図 3】 振動型ジャイロセンサの要部底面図である。

【図 4】 振動型ジャイロセンサの回路構成図である。

【図 5】 金バンプ形成工程の説明図であり、めっきレジスト層に開口部を形成した振動素子の要部断面図である。

【図 6】 同金バンプを形成した振動素子の要部断面図である。

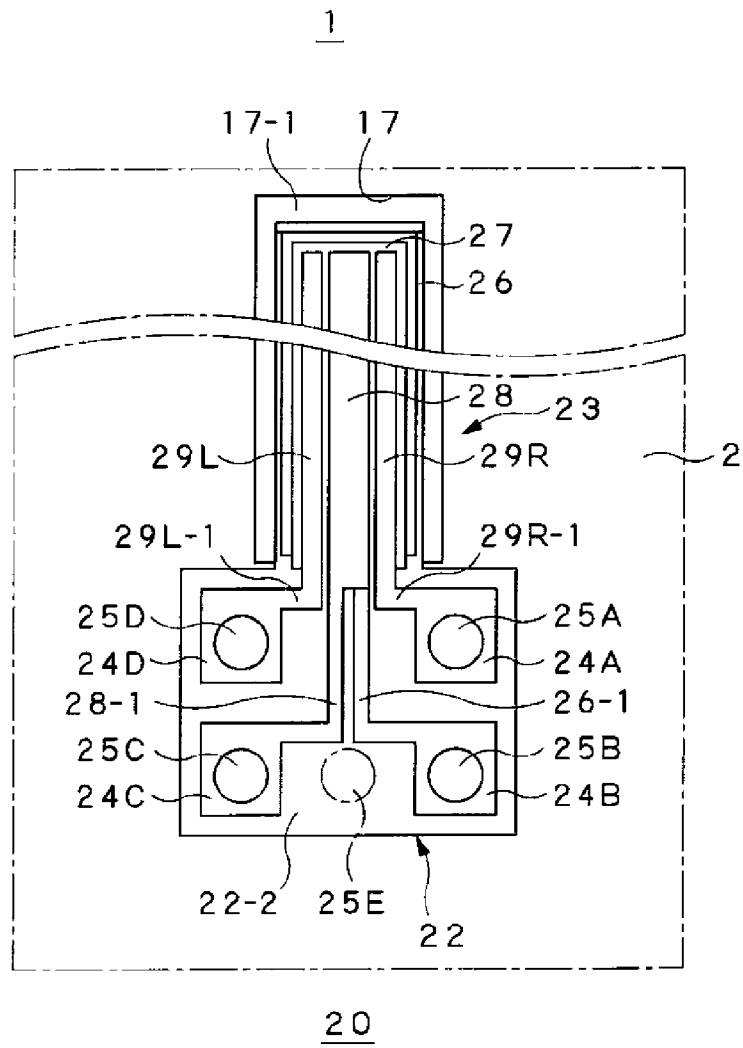
【図 7】 振動空間部の高さと振動子部の変位減衰割合との特性図である。

【図 8】 2 段金バンプを形成した振動素子の要部断面図である。

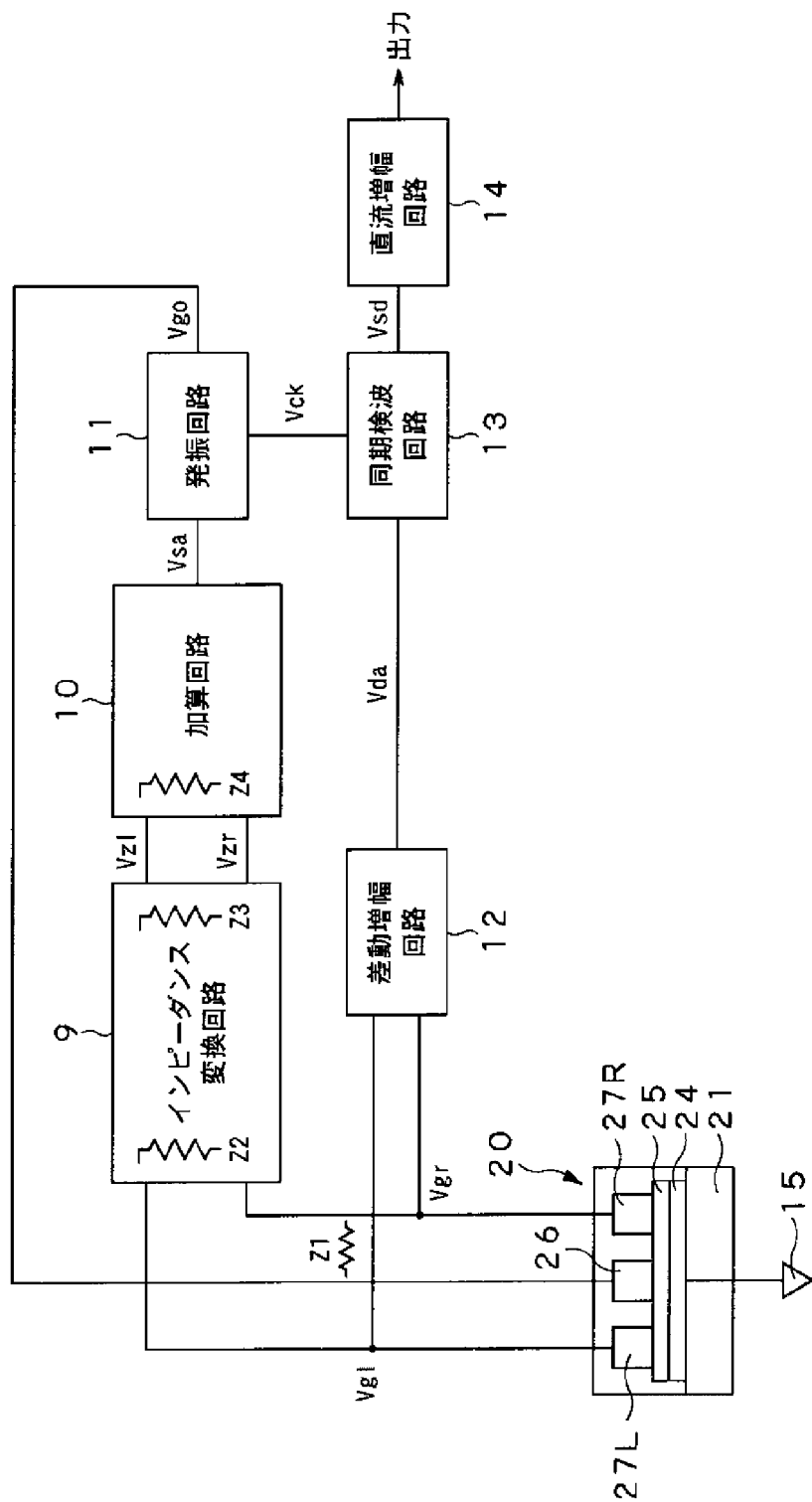
【符号の説明】

【 0 0 6 3 】

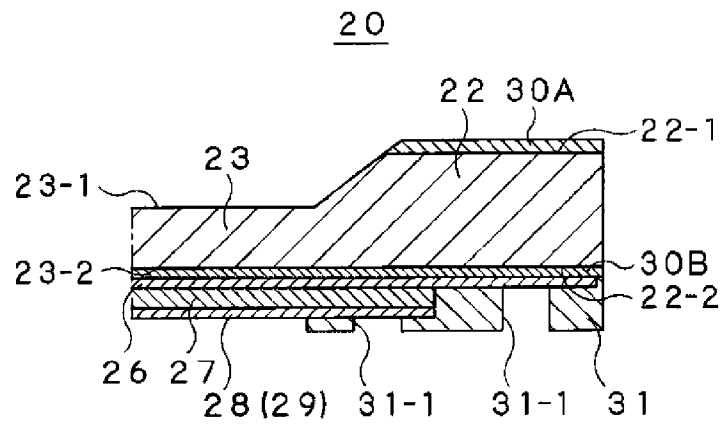
1 振動型ジャイロセンサ、2 支持基板、3 カバー部材、4 端子部、5 配線パターン、6 IC 回路素子、7 電子部品、16 振動空間部、17 空間構成凹部、20 振動素子、21 シリコン基板、22 基部、23 振動子部、24 端子部、25 金バンプ、26 基準電極層、27 圧電薄膜層、28 駆動電極層、29 検出電極



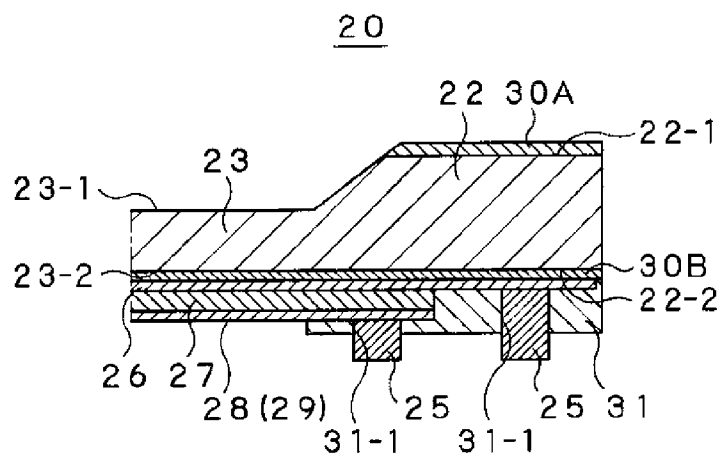
8



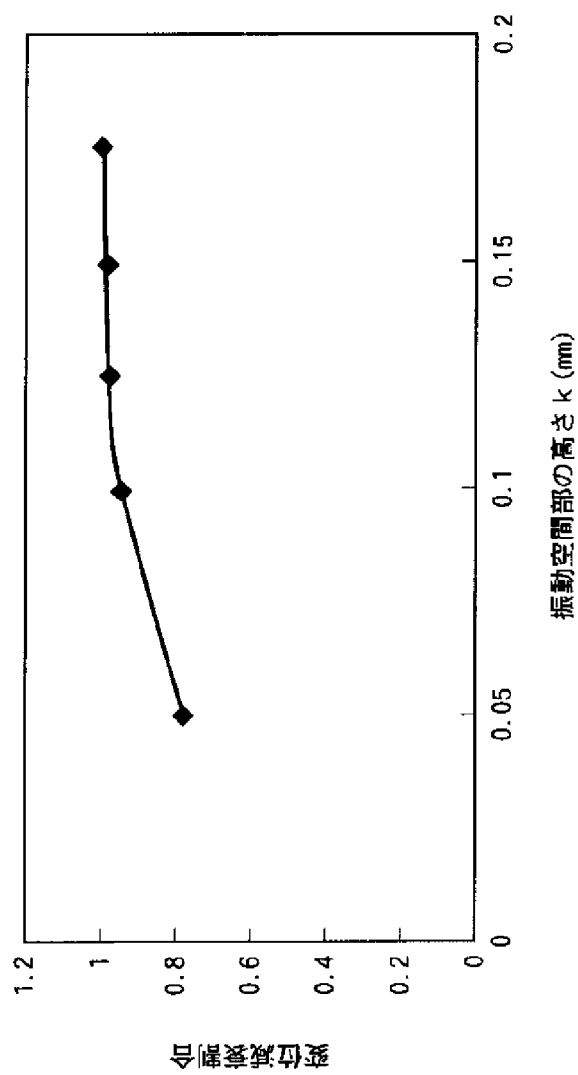
【図 5】



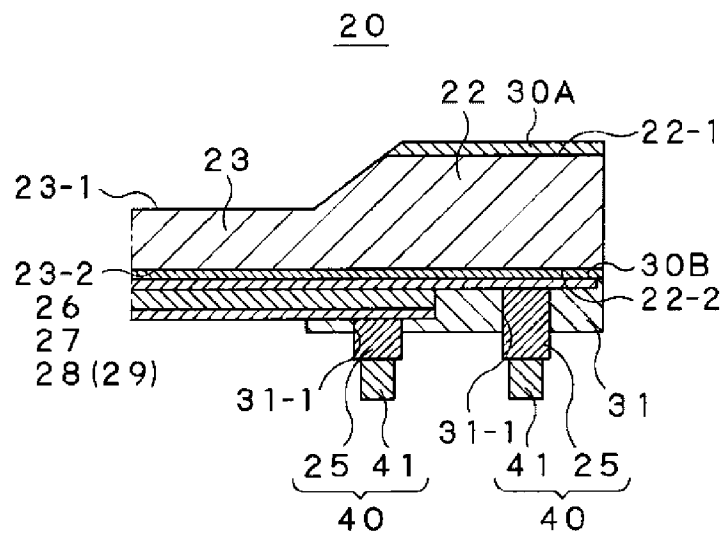
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 簡易な構成により所定のQ値を保持して小型・薄型化を図る。

【解決手段】 基部22に片持ち梁状の振動子部23を一体形成した振動素子20を金バンプ25を介して支持基板2の主面2-1上に実装する。支持基板2の主面2-1と振動子部23との間に、振動動作によって生じる空気流のダンピング効果に対して振動子部23の変位減衰割合を所期値に保持する高さを以って振動空間部16を構成する。

【選択図】 図2

出願人履歴

0 0 0 0 0 2 1 8 5

19900830

新規登録

5 9 7 0 6 2 9 9 3

東京都品川区北品川 6 丁目 7 番 3 5 号

ソニー株式会社